

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-016348

(43)Date of publication of application : 24.01.1986

(51)Int.Cl.

G06F 12/08

(21)Application number : 59-136621

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 03.07.1984

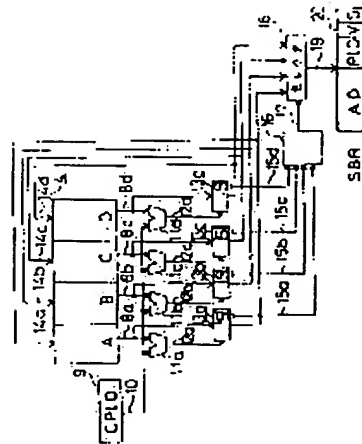
(72)Inventor : NOJI TAMOTSU

(54) BUFFER MEMORY DEVICE

(57)Abstract:

PURPOSE: To reduce the overhead for expulsion of old blocks from a buffer memory at a block replacement time by forcecasting a block in the buffer memory which is considered to be unnecessary in the propression of a program and preparing for expulsion of these blocks.

CONSTITUTION: As an optional desired program is executed, an address array AA4 is accessed, and contents of its lines AWD are read out to AA output signal lines 8aW8d, and program identifiers (PID) in their entries and a program identifier (CPID) of the present executing program on a CPID output signal line 10 are compared with each other by comparators 11aW11d. S flags in AA data registers 13aW13d are set or reset by outputs of comparators 11aW11d. An S flag detecting circuit 16 generates the signal which selects reset registers out of AA data registers 13aW13d, and this signal is sent to a selector 18.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭61-16348

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)1月24日

G 06 F 12/08

8219-5B

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 バツファ・メモリ装置

⑯ 特 願 昭59-136621

⑰ 出 願 昭59(1984)7月3日

⑱ 発 明 者 野 地 保 鎌倉市上町屋325番地 三菱電機株式会社計算機製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 曾我 道照 外3名

明 細 書

1 発明の名称

バツファ・メモリ装置

2 特許請求の範囲

(1) 主メモリ装置に記憶されている連数個のブロックに分けられたデータの所要部分の写しをブロック単位で格納し、演算処理装置によつてアクセスされるバツファ・メモリ装置において、任意のブロック内のデータが上記バツファ・メモリ装置に格納されているか否かを指示するエントリ情報を保持するアドレスレイが設けられ、上記エントリ情報には、少なくとも、上記バツファ・メモリ装置内の対応するブロックにおけるデータが属しているプログラムを識別するための情報、および、当該データを含むブロックが追い出し可能であるか否かを指示するための情報が含まれていることを特徴とするバツファ・メモリ装置。

(2) 上記エントリ情報には、上記バツファ・メモリ装置内の対応するブロックにおけるデータの有効性を指示するための情報が更に含まれている

ことを特徴とする特許請求の範囲第1項記載のバツファ・メモリ装置。

3 発明の詳細な説明

〔発明の技術分野〕

この発明はバツファ・メモリ装置に関するものであり、特に、追い出すべきブロックを予測しておき、ブロック交換のさいのオーバーヘッドを軽減できるようにされたバツファ・メモリ装置に関するものである。

〔従来技術〕

電子計算機を中心とする情報処理システムにおいては、大容量の主メモリ装置(MM)と演算処理装置(BXU)との間に、記憶容量はMMより小さいが、MMよりも高速にアクセスすることのできるバツファ・メモリ装置(HSB、キャッシュと呼ばれることもある)を設け、MMに記憶されている情報の一部の写しを予めHSBに格納しておき、BXUは、通常は、このHSBだけをアクセスすることにより情報処理の高速化がはかられている。BXUによつて実行されているプログラムからみた

ときには、このバッファ・メモリ装置またはキャッシュはトランスペアレントなものであり、プログラムは、これを直接的にはアクセスすることができないようになってるのが普通である。このようなキャッシュの一典型として、ストア・イン方式のものが知られており、その構成例が第1図に示されている。

この第1図において、(1)はEXU、(2)はHBB、(3)はMM、(4)はアドレス・レイ(AA)であつて、HBB(2)にMM(3)のデータの写しが格納されている。可否かについてのアドレス情報を保持するためのもの、(5)はHBBバス線であつて、HBB(2)をアクセスするアドレス情報とEXU(1)からのストアデータやHBB(2)からのフェッチデータを転送するためのもの、(6)はHBB(2)とMM(3)との間で情報転送を行うためのMMバス線、そして、(7)はHBB(2)をアクセスするHBBアドレス線である。

このような装置においては、通常は、MM(3)に記憶されている情報は逐数個のブロックに分けられ、各ブロックの写しをHBB(2)に格納するようにされ

るものである。このような場合には、MM(3)内の情報がHBB(2)のいずれの箇所に格納されているかを表わすアドレス情報が~~MM(3)~~^{AA(4)}に格納されている。なお、前記ブロックは数ワード〜数十ワードの大きさのものであり、また、前記AA(4)のアドレス情報は通常はエントリと呼ばれている。

次に、この第1図に示されている装置の動作について説明する。

EXU(1)からのアクセス要求(ストア又はフェッチ)が発生すると、アクセスのためのアドレス、データ情報がEXU(1)からHBBバス線(5)経由でHBB(2)およびAA(4)に転送される。AA(4)では、アクセスすべきデータがHBB(2)に存在するかどうかを照会される。そして、HBB(2)に必要なデータが存在している場合は、HBBアドレス線(7)を介してHBB(2)内の前記必要なデータがアクセス(ストア又はフェッチ)される。

これに対して、必要なデータがHBB(2)に存在しない場合は、HBB(2)とMM(3)との間でMMバス線(6)を介してブロックの交換が行われる。このとき、

HBB(2)に空き領域が存在しない場合はHBB(2)内の最も使用されなかつたブロックがMM(3)へ追い込まれ、目的とするブロックがMM(3)からHBB(2)へ^送転送される。このブロック入れ換えは、良く知られているLRU方式により行われる。そして、HBB(2)に空き領域がある場合は、その空き領域に目的とするブロックがMM(3)からHBB(2)へ転送される。その後目的とするブロックのデータがHBBバス線(5)を介してEXU(1)へ転送される。

ところで、通常、プログラムが走行している状態では、HBB(2)に空き領域が存在する確率は低いものである。従つて、通常の動作状態では、HBB(2)内の最も使用されなかつたブロックがMM(3)へ追い出され、目的とするブロックがMM(3)からHBB(2)へ転送されるブロック交換動作が発生する。1ブロックは通常数ワード〜数十ワードから構成されており、また、ブロック交換作業は逐次処理で行われるため、相当なオーバーヘッドが生じ、更にはシステム性能が低下する要因となる。

従来のバッファ・メモリ装置は、以上のように

構成され、動作するものであるために、HBBに必要なデータが存在しない場合には、HBBのブロックをまず追い出してMMから目的とするブロックを転送する逐次型ブロック交換のやり方がとられており、HBBのブロック追い出しのためのオーバーヘッドが生じ、システム性能が低下するという欠点があつた。

〔発明の概要〕

この発明は上記のような従来のものの欠点を除去するためになされたもので、プログラムの進行過程で不要とされるHBBのブロックを予調し、このブロックの追い出し準備をしておくことにより、ブロック交換の必要が生じた時の、古いHBBブロック追い出しのオーバーヘッドを軽減することのできるようにされたバッファ・メモリ装置を提供することを目的としている。

以下、この発明の実施例を図について説明する。第2図はAA(4)のアドレス情報、すなわちエントリの構成を表わすエントリ構成図であり、この中で、ADは実アドレス情報、PIDはプログラム識

別子、Vはそのエントリが有効かどうかを表わす有効性フラグ、Bはそのエントリで指示される領域は、プログラムで使用されておらず、MM(3)への追い出しがいつでも可能な状態にあることを表わすスタンバイフラグである。なお、PIDKは、例えばテーブルアドレス変換におけるBTO(セグメントテーブルオリジン)が割当てられるものである。

第J図は、この発明の実施例の要部を示すブロック図であつて、第I図と同一符号は同一又は相当部分を示す。この第J図において、(fa)~(fd)はAA(4)からのAA出力信号線、(f)は現在実行中のプログラム識別子(CPID)を保持するCPIDレジスタ、(10)はCPIDレジスタ(f)から出力されるCPID出力信号線、(11a)~(11d)はAA出力信号線(fa)~(fd)上の信号とCPID出力信号線(10)上の信号とを比較する比較器、(12a)~(12d)は比較器(11a)~(11d)から出る一致出力信号線、(13a)~(13d)はAA(4)から読み出された情報をセットするためのAA

データレジスタ、(14a)~(14d)はAAデータレジスタ(13a)~(13d)からのAAデータレジスタ出力信号線、(15a)~(15d)はAAデータレジスタ(13a)~(13d)内のBフラグから出力される信号のためのBフラグ信号線、(16)はBフラグ信号線(15a)~(15d)上の信号を検知するためのBフラグ検知回路、(17)はBフラグ検知回路(16)からのBフラグ制御線、(18)はBフラグ制御線(17)によりAAデータレジスタ出力信号線(14a)~(14d)上のいずれかの信号を選択するためのセレクタ、(19)はセレクタ(18)からのセレクタ出力線、(20)はセレクタ出力線(19)上のデータを保持するスタンバイレジスタ(SBR)である。

なお、こゝでは、説明の便宜上、AA(4)は4個の列A、B、C、Dから構成されているとする。

次に、このような構成をもつこの発明の実施例について、その動作を説明する。任意所望のプログラムが実行されていくにつれて、AA(4)がアクセスされ、その各列(A~D)の内容(エントリ)がAA出力信号線(fa)~(fd)に読み出されて、

当該エントリ中のPIDとCPID出力信号線(10)の現在実行中のプログラム識別子(CPID)とが比較器(11a)~(11d)によつて比較される。この比較の結果として、一致出力信号線(12a)~(12d)上に一致信号が出力された場合、対応するAAレジスタ(13a)~(13d)内のBフラグをリセット(B=0)する。これに対して、一致信号(12a)~(12d)が出力されない場合は、対応するAAデータレジスタ(13a)~(13d)内のBフラグをセット(B=1)する。この場合、エントリのVフラグがセットされていない(V=0)ときには、Bフラグのセット、リセット操作は行われない。

このようにしてBフラグの所要のセット、リセット操作が完了すると、この状態を表わす信号はBフラグ信号線(15a)~(15d)経由でBフラグ検知回路(16)に送られる。Bフラグ検知回路(16)においては、この受入れた信号に基づいて、AAデータレジスタ(13a)~(13d)の中でBフラグがリセットされているものをセレクトする為

の信号を作成し、この信号はBフラグ制御線(17)を介してセレクタ(18)に送られる。そして、セレクタ(18)においては、AAデータレジスタ出力信号線(14a)~(14d)の中の1本がセレクトされ、セレクトされた信号線上の信号はセレクタ出力線(19)によりSBR(20)に送られる。このとき、SBR(20)が動作中でなければ、セレクタ出力線(19)上のデータはSBR(20)にセットされる。これと同時に、セットしたSBR(20)の内容と同じエントリ情報のVビットはリセットされ、AAデータ出力線(14a)~(14d)経由でAA(4)に寄戻される。これによりSBR(20)にセットされたエントリは無効なものとなり、次にブロック交換の必要が生じた場合に利用されることになる。

そして、SBR(20)にセットされたデータに対応するデータがHSB(2)から読み出されて、MM(3)に転送される。この場合、転送動作はBXU(1)からHSB(2)へのアクセス動作とは関係なく並行して実行される。また、SBR(20)が動作中の場合には、AAデータレジスタ出力線(14a)~(14d)経由

でそのままAA(4)に書き戻される。そのままAA(4)に書き戻されたエントリ情報はSBR(20)の動作が完了し次の追い出し動作が可能になるまでV=1、B=1としてAA(4)に存在することになる。

そして、V=1、B=1の状態にあるエントリはSBR(20)の動作が完了した時点で次に実行されることになる。

なお、SBR(20)の動作とEXU(1)からのアクセス動作とは独立して行われる。また、上記実施例ではAAの構成を4列のものとして説明されたが、これに限られるものではない。

〔発明の効果〕

以上のように、この発明によればAAのエントリにプログラム識別子、Bフラグを設定し、キャッシュアクセスの空き時間に不要となつたブロックデータを主メモリ装置側に追い出しておくように構成したので、ブロック交換動作時のオーバーヘッドが少なくなり従つてキャッシュまたはバッファ・メモリ装置の使用効率が高まり、更には情報処理システム全体の効率が向上するという効果が

ある。

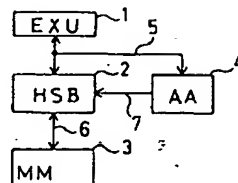
「 図面の簡単な説明 」

第1図は一般的なバッファ・メモリ装置を示すブロック図、第2図はこの発明の実施例において用いられるアドレス・アレイのエントリ構成を表わすフォーマット図、第3図はこの発明の実施例の各部構成を示すブロック図である。

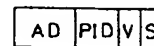
(1)・・・EXU、(2)・・・HSB、(3)・・・MM、(4)・・・AA、(5)・・・HSBバス線、(6)・・・MMバス線、(7)・・・HSBアドレス線、(8a)～(8d)・・・AA出力信号線、(9)・・・CPIDレジスタ、(10)・・・CPID出力信号線、(11a)～(11d)・・・比較器、(12a)～(12d)・・・一致出力信号線、(13a)～(13d)・・・AAデータレジスタ、(14a)～(14d)・・・AAデータレジスタ出力信号線、(15a)～(15d)・・・Bフラグ信号線、(16)・・・Bフラグ検知回路、(17)・・・Bフラグ制御線、(18)・・・セレクト、(19)・・・セレクト出力線、(20)・・・SBR。

なお、各図中、同一符号は同一、又は相当部分を示す。

第1図



第2図



第3図

